

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-326552

(43)Date of publication of application : 10.12.1993

(51)Int.Cl. H01L 21/336  
H01L 29/784  
H01L 27/092

(21)Application number : 04-295237

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 04.11.1992

(72)Inventor : IDA JIRO  
YONEKAWA KIYOTAKA

(30)Priority

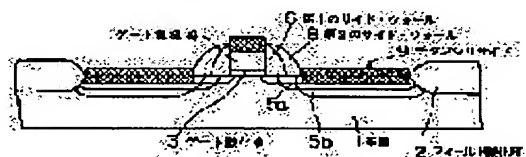
Priority number : 04 63503 Priority date : 19.03.1992 Priority country : JP

## (54) SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE

(57)Abstract:

**PURPOSE:** To solve the problem that, when the size of an element is reduced, the junction depth of source-drain mainly becomes shallow, the interval from the bottom surface of the layer of the surface to be silicide-formed to a junction becomes short, and junction leak current is generated, regarding the structure and the manufacturing method of a field effect transistor (MOS FET mainly concerned) in a semiconductor element.

**CONSTITUTION:** A first side wall 6 and a second side wall 8 are formed on the side wall of a gate electrode 4; a shallow source-drain layer 5a is formed by applying a main part of the first side wall 6 to a mask; a deep source-drain layer 5b is formed by applying the second side wall 8 to a mask; a silicide layer 9 is formed at least on the deep layer 8. It depends on the requirement of device formation whether a silicide layer 9 is formed also on the gate electrode 4. The order of formation of the shallow source-drain layer and the deep source-drain layer is different according to the manufacturing method.



## LEGAL STATUS

[Date of request for examination] 19.01.1999

[Date of sending the examiner's decision of rejection] 24.04.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-326552

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336 29/784 27/092		7377-4M 9054-4M	H 0 1 L 29/ 78 27/ 08	3 0 1 P 3 2 1 E
審査請求 未請求 請求項の数 6 (全 12 頁) 最終頁に続く				

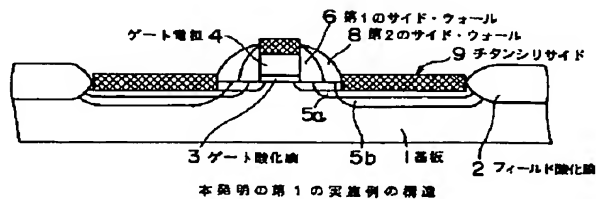
(21)出願番号	特願平4-295237	(71)出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22)出願日	平成4年(1992)11月4日	(72)発明者	井田 次郎 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
(31)優先権主張番号	特願平4-63503	(72)発明者	米川 清隆 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
(32)優先日	平4(1992)3月19日	(74)代理人	弁理士 鈴木 敏明
(33)優先権主張国	日本 (J P)		

## (54)【発明の名称】 半導体素子およびその製造方法

## (57)【要約】

【目的】 本発明は、半導体素子における電界効果型トランジスタ (主にMOSFET) の構造と製法に関するもので、素子の縮小化に伴い主にソース・ドレインの接合深さが浅くなり、シリサイド化するその表面の層の底面と接合との間隔が短くなり、接合リーク電流が発生する問題点を解決することを目的とする。

【構成】 前記目的達成のため本発明は、ゲート電極4の側壁に第1のサイドウォール6と第2のサイドウォール8を形成し、第1のサイドウォール6の主部をマスクにして浅いソース・ドレイン層5aを形成し、第2のサイドウォール8をマスクにして深いソース・ドレイン層5bを形成し、少なくともその深い層8上にシリサイド層9を形成するようにしたものである。ゲート電極4上にもシリサイド層9を形成するかしないかは、デバイス形成の要求によるし、また、浅い、深いソース・ドレイン層の形成の順も製法によって異なる。なお、ソース・ドレイン層の接合深さを従来より浅くする方法など他の発明もある。



## 【特許請求の範囲】

【請求項1】 電界効果型トランジスタを有する半導体素子における該電界効果型トランジスタ部の構造として、

ゲート電極の側壁に第1のサイドウォールとさらにその側面に第2のサイドウォールが形成されており、該第1のサイドウォールの主部をマスクとして形成されたソース・ドレイン層と、前記第2のサイドウォールをマスクとして形成された前記第1のサイドウォールによるソース・ドレイン層より深いソース・ドレイン層とを有し、

少なくとも前記第2のサイドウォールによるソース・ドレイン層の上部にシリサイド化された層が形成されていることを特徴とする半導体素子。

【請求項2】 前記第2のサイドウォールが、最終的な構造においては除去されていることを特徴とする請求項1記載の半導体素子。

【請求項3】 (a) 半導体基板上に、電界効果型トランジスタのゲート電極を形成し、該ゲート電極の側壁に第1のサイドウォールを形成する工程、

(b) 前記第1のサイドウォールの側面に、第2のサイドウォールを形成する工程、

(c) 前記第1のサイドウォールの主部をマスクにして、前記電界効果型トランジスタのソース・ドレインとなる層を形成する工程、

(d) 前記第2のサイドウォールをマスクにして、前記第1のサイドウォールによるソース・ドレイン層より深いソース・ドレイン層を形成する工程、

(e) 少なくとも、前記第2のサイドウォールによるソース・ドレイン層の上部をシリサイド化する工程、

以上の工程を含むことを特徴とする半導体素子の製造方法。

【請求項4】 (a) 半導体基板上に、電界効果型トランジスタのゲート電極を形成し、該ゲート電極の側壁に形成される第1及び第2のサイドウォールの幅の合計が $0.3\mu\text{m}$ 以下となるよう全面に絶縁膜を形成する工程、

(b) 前記電界効果型トランジスタのソース・ドレイン層となる層を、第1サイドウォールをマスクにしてその形成用不純物注入のドーズ量を $7\times 10^{13}/\text{cm}^2$ ないし $1\times 10^{15}/\text{cm}^2$ の範囲で注入する工程、

(c) 前記ゲート電極の側壁に前記第1のサイドウォールの外側にさらに第2のサイドウォールを形成する工程、

(d) 前記ゲート電極およびソース・ドレイン領域の上面に高融点金属によるシリサイド層を形成し、前記第2のサイドウォールをマスクにして、さらに、前記工程で形成されたソース・ドレイン層より深いソース・ドレイン層を形成する工程、

以上の工程を含むことを特徴とする半導体素子の製造方法。

【請求項5】 Pチャネル(Pch)領域とNチャネル(Nch)領域とを同一基板に有するCMOS型半導体素子の製造において、

(a) 前記両領域に、電界効果型トランジスタのゲート電極を形成後、まず、Pch領域側に、前記請求項4記載の(a)(b)と同様の方法、条件でPch領域側のソース・ドレイン層を形成する工程、

(b) 前記工程後、Nch領域側のソース・ドレイン層を形成し、前記ゲート電極の第1のサイドウォールの外側に第2のサイドウォールを形成する工程、

(c) 前記Nch、Pch両領域とも、その領域の前記ゲート電極およびソース・ドレイン層の上面に高融点金属によるシリサイド層を形成する工程、

以上の工程を含むことを特徴とする半導体素子の製造方法。

【請求項6】 Pチャネル(Pch)領域とNチャネル(Nch)領域とを同一基板に有するCMOS型半導体素子の製造において、

(a) 前記両領域に、電界効果型トランジスタのゲート電極を形成後、該ゲート電極をマスクにして前記請求項4記載の(a)(b)項と同様の方法、条件でPch領域のソース・ドレイン層を形成する工程、

(b) 前記ゲート電極の側壁の第1のサイドウォール形成を含め全面に厚さ $1000\text{\AA}$ 以下の絶縁膜を堆積し、該絶縁膜を通してNch領域側にのみ、前記電界効果型トランジスタのソース・ドレイン層及びLDD型層とするための不純物注入を行なう工程、

(c) 前記ゲート電極の第1のサイドウォールの外側に第2のサイドウォールを形成するために、全面に厚さ $1000\sim 3000\text{\AA}$ の絶縁膜を形成し、前記第2のサイドウォールを形成した後、少なくとも前記ソース・ドレイン層の上面に高融点金属によるシリサイド層を形成する工程、

以上の工程を含むことを特徴とする半導体素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、半導体素子の中でも特に電界効果型トランジスタ(主にMOSFET)を有するCMOSデバイスの、主としてそのFET部の形成方法に関するものである。

## 【0002】

【従来の技術】半導体素子の微細化が進み、それとともにMOSFETが縮小化されるに従い、そのゲート長が短くなり、また、短チャネル効果を抑制するため、ソース・ドレイン領域の接合深さ( $X_j$ )は、浅くせざるを得ない。ゲート長が短くなり、MOSFETのオン抵抗は下がり、一方で $X_j$ が浅くなるため、ソース・ドレインのシート抵抗は増大する。従って、ゲート長がサブミクロン領域のMOSFETでは、ソース・ドレインのシ

ート抵抗が、MOSFETのオン抵抗に対して無視し得なくなり、MOSFETの駆動力が、ソース・ドレイン領域の寄生抵抗により低下する問題が顕著となる。

【0003】上記問題に対して、ソース・ドレイン及びゲートをセルフ・アライメントでシリサイド化し、シート抵抗を下げるサリサイド・プロセスがある。図11に、従来より使われて来たサリサイド・プロセスを示す。なお、この図はCMOSデバイスの例であり、従って周知のようにPchMOSFET領域（同図右半分）とNchMOSFET領域（同図左半分）が形成される。

【0004】まず、図11(a)のように、P型Si基板1の一部に、通常のホテルソングラフィ（以下ホテルソと略す）・エッチング及びイオン注入法を用いて、N型不純物（リン等）を導入し、Nウェル領域2を形成する。次に、通常LOCOS(Local Oxidation of Silicon)法により、フィールド酸化膜3を形成する。熱酸化により、Si基板1表面に、ゲート酸化膜4を形成し、ゲート電極となるポリシリコン5を全面に堆積し、通常のホテルソ・エッチング技術を用い、ゲート電極のパターニングを行なう。通常のホテルソ工程により、PchMOSFET形成領域をホテルレジスト6で被い、全面にLDD(Lightly Doped Drain)層(N<sup>-</sup>層)7となるリン又はヒ素を30~50keV、 $1\sim4\times10^{13}$ ions/cm<sup>2</sup>イオン注入法により、注入することでNchMOSFET領域にのみ、N<sup>-</sup>層7を形成する。

【0005】その後、図11(b)のように、全面にCVD(化学的気相成長)法により酸化膜もしくは、ボロン、リン等を含む酸化膜を堆積し、RIE(Reactive Ion Etching)法により異方性エッチングを行なうことによりゲート電極5側壁に、サイドウォール8を残す。その後、上記と同様に、ホテルレジストによりPchMOSFET側、NchMOSFET側を各々、被い、Nch側、Pch側に各々、イオン注入法によりソース・ドレインとなる不純物のヒ素(N<sup>+</sup>層)及びボロン(P<sup>+</sup>層)を注入する。

【0006】その後、図11(c)のように、800~1000℃の熱処理を行ない、ソース・ドレイン部の不純物の活性化を行なった後、高融点金属9を堆積させる。その後、図11(d)のように、600~1000℃の熱処理を施すと、高融点金属9と、Poly-Si及びSiとの間に、シリサイド化反応が生じ、自己整合的に、ゲート電極5及び、ソース・ドレイン部(7)に、高融点金属9のシリサイド10が形成される。その後図11(e)のように、未反応高融点金属11を除去することにより、サリサイド構造が完成する。

【0007】一方、浅い接合形成方法としては、数々の提案がある。特にPchMOSFETの場合、そのソース・ドレイン不純物が、ボロンであるため、イオン注入

において、チャネリングが発生し、不純物分布がテイルを引き、形成される接合が深くなること、また、ボロンはシリコン中での拡散係数が大きく、活性化のアニールにおいて、深く拡散し、接合が深くなってしまふ。上記2項目に対して、不純物注入前に、シリコン、ゲルマニウム等を注入し、シリコン結晶をアモルファス化し、その後、ボロンを注入することでチャネリングを防止する等の方法が検討されている。また、短時間熱処理、注入における低加速エネルギー化等により、拡散係数が大きくとも、深くへ拡散させない様な試みがなされている。

【0008】

【発明が解決しようとする課題】しかしながら、以上述べた従来のサリサイドプロセスでは、素子の微細化に伴い、短チャネル効果抑制のため、そのソース・ドレイン接合深さ(X<sub>j</sub>)が浅くなり、シリサイド化した層の底面と接合との間隔が短くなり(図12参照)、接合リーク電流が発生するという問題があった。

【0009】また、浅い接合形成については、シリコンorゲルマニウムを使用したブリアモルファス化による方法は、工程を複雑にするとともに、その後の熱処理によりどうしても残留欠陥が残り、接合リーク電流が増大するという問題がある。短時間熱処理及び低加速エネルギーによる注入においても、形成される接合深さは、ある程度以上、浅くならず限界がある。

【0010】上記2項目(サリサイド化、及び、浅接合化)は、両者を同時に行なうことは、困難である。微細MOSFETは、今後縮小化が進むに従って、そのソース・ドレイン領域の接合深さは、短チャネル効果抑制のため浅くせざるをえず、また、ソース・ドレインの寄生抵抗をある値以下にしようとする、サリサイドによるソース・ドレイン領域上のシリサイドをある値以上の厚さで形成せざるをえず、今後、両者を同時に実現するには、接合リーク電流増大の問題が不可避となる。

【0011】この発明は、以上述べた様に、微細MOSFETにおいて、短チャネル効果を抑制するため、ソース・ドレイン領域の接合深さを、従来以上に浅くし、さらに、ソース・ドレイン領域の寄生抵抗がMOSFETの性能を低下させない様、ソース・ドレイン領域を、十分に低抵抗化し、さらに、接合リーク電流を増大させない様にし、前述の相反する技術項目(サリサイド化と浅接合化)を同時に実現し、すぐれた性能を持つ半導体素子およびその製造方法を提供することを目的とする。

【0012】また、この発明によりCMOS型半導体素子を製造するにあたり、特に、CMOS部のPch領域において、浅接合化しても、ゲートオフセットとならない様にし、また、駆動電流のバラツキも増大しない様にし、さらに、製造工程も複雑化しないようにした半導体素子の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】この発明は前記目的のた

10

20

30

40

50

め、第1～第4の実施例としてソース・ドレイン領域をセルフ・アライメントにシリサイド化するMOSFETにおいて、サイドウォール形成を2回にわたって行い、最初に形成したサイドウォールにより、浅い接合深さ(Xj)を持ったソース・ドレイン層を形成し、2回目に形成したサイドウォールにより、深い接合深さを持ったソース・ドレイン層を形成するようにし、その後、ソース・ドレイン層上面をセルフ・アライメントにシリサイド化する様にしたものである。

【0014】また、第5、第6の実施例として、半導体素子の製造方法において、ソース・ドレイン領域に注入する不純物のドーザ量を、駆動力を下げず、しかも、接合深さが浅くなる様な範囲に設定して、注入し、さらに、MOSFETの短チャネル効果にかかわらないゲートより、すこしはなした領域で、シリサイド化を行い、ソース・ドレイン領域を低抵抗化し、さらに、シリサイド化された領域のみ、接合リーク電流を防止する様、深い、ソース・ドレイン形成用の不純物注入を行なう様にしたものである。

【0015】また、上記方法でCMOSを製造するにあたっては、Pch領域のソース・ドレイン領域がゲート電極と離れることがない様（オフセットが発生しない様）サイド・ウォール形成前に、従来より低ドーザのソース・ドレイン不純物を注入する様にしたものである。さらに、LDD層形成を含むCMOSドレイン形成をマスク・ステップ2層と少なくすむ様にしたものである。

【0016】

【作用】前述のように本発明の第1～第4の実施例では、第1のサイドウォールをマスクにして形成された浅いN<sup>+</sup>層により、微細MOSFETで問題となる短チャネル効果を、効果的に抑制でき、さらに、第2のサイドウォールをマスクにして形成された深いN<sup>+</sup>層上のみ、シリサイド化されるため、シリサイド底面と接合の距離が十分とれ、接合リーク電流の発生しない良好な接合を形成することが可能となる。

【0017】また、第5、第6の実施例では、ソース・ドレイン形成用注入ドーザが、接合深さを十分浅くし、しかも駆動力を低下させない様な範囲に制御されているため、微細なMOSFETにおいても、十分短チャネル効果が抑制され、しかも高駆動力なMOSFETが実現可能となる。さらに、比較的幅広いサイドウォールの外側でソース・ドレインがシリサイド化され、しかも、その領域のみ、接合が深くなっているため、トランジスタの短チャネル効果を増大させることなく、接合リーク電流の増大を抑制できる。しかも、ソース・ドレイン注入を比較的低ドーザとし、ソース・ドレインのシート抵抗増大をシリサイド化により抑え、十分な低抵抗化を実現できている。しかも、シリコンと高融点金属を反応させる工程（シリサイド化工程）では、そのシリコン中の

不純物濃度が、従来ほど高くないため、シリサイド化工程も再現性よく安定して行なえる。

【0018】CMOS製造にあたっては、Pchソース・ドレイン（従来より低ドーザ）不純物注入を、狭いサイド・ウォール形成前行うことにより、接合を浅くしながらオフセットになることを防止し特性変動のないMOSFETを実現できる。

【0019】

【実施例】本発明の第1の実施例の構造を図1に、またその製造方法を図2に示し、以下に説明する。本実施例は、Ti（チタン）を高融点金属としたNMOS-FET構造の場合である。

【0020】図1に示すように本実施例では、従来同様のフィールド酸化膜2で分離された素子形成領域にゲート電極4が形成されており、その側壁に本発明の特徴である第1のサイドウォール6とそのまた側面に第2のサイドウォール8が形成されている。ソース・ドレイン層は前記第1のサイドウォール6をマスクにして形成した浅い層5aと、第2のサイドウォール8をマスクにして形成した深い層5bが存在している。そして、その深い層5bの上と、ゲート電極4上にチタンシリサイド9が形成されている。即ち、シリサイド構造となっている。

【0021】図2はその製造方法であり、まず同図

(a)に示すように、従来同様、P型Si基板1に素子分離のためのフィールド酸化膜2を約5000Å程度の厚さ（以下々々厚さと記さない）形成し、素子形成領域にゲート酸化膜3（約150Å）を含むゲート電極4（ポリシリコンで約3000Å）を形成し、ソース・ドレイン層となるN<sup>-</sup>層5cを形成するため、P<sup>+</sup>を30keV、 $2 \times 10^{13}/\text{cm}^2$ の条件でイオン注入（以下イオン・インプラと略す）する。

【0022】その後、ゲート電極4の側壁に通常の方法（酸化膜を堆積して異方性エッチングする方法など）で第1のサイドウォール6を約1500Åの厚さ形成する。そして、それをマスクにしてソース・ドレイン領域にAs（ヒ素）を $5 \times 10^{15}/\text{cm}^2$ 、40keVの条件でイオン・インプラすると浅い層5aが形成される。

【0023】その後、全面にCVD法により、酸化膜7を3000Å程度堆積する。次に図2（b）のように、異方性エッチングにより酸化膜7をエッチングし、第2のサイドウォール8を約3000Å形成する。その後、この第2のサイドウォール8をマスクにP<sup>+</sup>（リン）を80keV、 $1 \times 10^{15}/\text{cm}^2$ の条件で注入するとソース・ドレイン領域に深い層5bが形成される。さらに、900℃、20分程度、窒素雰囲気中でアニールし、注入した不純物の活性化及び拡散を行なう。以上の条件により、ソース・ドレイン層として、N<sup>-</sup>層5cは、接合深さ約0.2μm、ヒ素によるN<sup>+</sup>層5aは約0.2μm、リンによるN<sup>+</sup>層5bは、約0.4μmの接合深さを持った接合となる。

【0024】次いで図2(c)のように、全面に、スパッタリングによりチタン(Ti)9aを500Å程度堆積する。そして図2(d)のように、700℃、10秒程度、窒素雰囲気中でアニールし、ゲート電極4、ソース・ドレイン領域のSi層とTiが接している箇所即ち深い層5b上でシリサイド化反応を起こさせる。そして、選択エッチ(アンモニア過水等)により、フィールド酸化膜2上、サイドウォール6、8上の未反応Tiを選択的にエッチング除去する。さらに900℃、10秒程度

のアニールによりチタンシリサイド9の低抵抗化を行なう。その後、図示しないが、従来同様、中間絶縁膜を堆積し、コンタクト・ホールを開口し、配線層を形成し、最後に保護膜を形成する。

【0025】図3は、本発明の第2の実施例を示すものである。深いソース・ドレイン層を形成する場合、イオン・インプランテーション時に、ゲート電極を突き抜けないようにしたものである。

【0026】まず、図3(a)のように、フィールド酸化膜2を形成後、ゲート酸化膜3を形成し、ポリシリコン4をその上に堆積後、さらに、CVD法により酸化膜10を2000Å程度堆積する。次いで図3(b)のように、ホトリソ・エッチングにより、酸化膜3/ポリシリコン4/ゲート酸化膜10より成るゲート電極4のパターニングを行なう。その後、第1の実施例の製造方法と同様に、第1のサイドウォール6及び第2のサイドウォール8を形成し、浅いN<sup>+</sup>ソース・ドレイン層5a、深いN<sup>+</sup>ソース・ドレイン層5bを形成し、シリサイド化を行なう。この場合、ソース・ドレイン層のみのシリサイド化となる。即ち、深いN<sup>+</sup>ソース・ドレイン層5b形成のためのイオン・インプランテーションにおいて、ゲート電極は、酸化膜10により厚くなっている

ので、不純物は、ゲート電極4を突き抜けることはない。

【0027】また、深いN<sup>+</sup>接合の不純物導入にあたって、そのドーズ量を下げ $5 \times 10^{13} \sim 5 \times 10^{14} / \text{cm}^2$ とすると、N<sup>+</sup>層とP型基板でできる接合のN<sup>+</sup>層側の不純物濃度は約 $5 \times 10^{18} \sim 5 \times 10^{19} / \text{cm}^3$ となり、空乏層がN<sup>+</sup>層側へも伸びる様になり接合容量が低減する。ただし、この場合、N<sup>+</sup>層側への空乏層端が、シリサイド底面に至らない様にする必要がある。

【0028】図4、図5に第3の実施例、図6、図7に第4の実施例のそれぞれ製造方法を示し以下に説明するが、この実施例はより実際のCMOSデバイスの製造に則したものである。

【0029】図4ないし図5は本発明の第3の実施例の製造方法である。まず図4(a)のように、従来同様、P型基板1にフィールド酸化膜2形成、ゲート酸化膜3、ゲート電極4形成後、通常のホトリソ工程により、PchMOSFET領域(図4の右半分)をホトレジスト26aで被い、LDD層(N<sup>-</sup>層)として、リン又は、ヒ素をイオン注入することで、NchMOSFET

領域(図4の左半分)にのみソース・ドレイン層のN<sup>-</sup>層20を形成する。次いで図4(b)に示すように、前記ホトレジスト26aを除去し、全面にCVD法により、酸化膜もしくは、ボロン・リン等を含む酸化膜を堆積し、RIE法により、異方性エッチングを行なうことにより、ゲート電極4側壁に、第1のサイドウォール21を残す。その後、図4(c)のように、ソース・ドレイン領域を形成する前に、850~900℃の温度でSi表面を酸化させ、100~200Åの熱酸化膜22を形成する。その後、CVD法により、窒化Si膜23(100~1000Å)を全面に堆積させ、さらに、CVD法により、酸化膜またはボロン・リン等の不純物を含んだ酸化膜24を3000~6000Å堆積させる。

【0030】その後、図4(d)のように、RIE法により、異方性エッチングを行なうことにより、第1のサイドウォール21の側壁に第2のサイドウォール25を残す。このとき、第2のサイドウォールの幅は、0.2~0.4μmとなる。この際、第2のサイドウォール25のエッチング後、サイドウォール部以外の窒化Si膜23及び熱酸化膜22もエッチング除去する。

【0031】その後、図4(e)のように、ホトリソ工程により、PchMOSFET形成領域をホトレジスト26bで被い、全面に、深い接合の層5bを形成させる為のイオン注入を、リンを用いて、50~150keV、 $1 \times 10^{14} \sim 1 \times 10^{15} \text{ ions} / \text{cm}^2$ の条件で、注入する。

【0032】その後、図5(f)のように、PchMOSFET領域のホトレジスト26は除去せずに、第2のサイドウォール25をフッ酸溶液、もしくは、RIE法によるドライエッチングで除去した後、即ち第1のサイドウォール21は残し、その構造で浅い接合の層5a形成のため、ヒ素を、30~60keVで $3 \sim 8 \times 10^{15} \text{ ions} / \text{cm}^2$ の条件で注入する。この場合、サイドウォール21はほぼL字形に残存するが、底辺のはみ出した部分は薄いので、前記注入はその部分を通り抜ける。即ち第1のサイドウォール21の主部(本説明ではそのように記述する)がマスクとなる。その後図5

(g)のように、ホトレジスト26bを除去し、同様のことを、PchMOSFETに関して行なう。従って説明は簡略にする。すなわち、NchMOSFET形成領域をホトレジスト27で被い、深い接合を形成させる為のイオン注入を、 $^{11}\text{B}^+$ 、30~70keV、 $1 \times 10^{14} \sim 1 \times 10^{15} \text{ ions} / \text{cm}^2$ 又は、 $^{49}\text{BF}_2^+$  50~150keV、 $1 \times 10^{14} \sim 1 \times 10^{15} \text{ ions} / \text{cm}^2$ の条件で行なう。その後図5(h)のように、NchMOSFET領域のホトレジスト27は除去せずに、Pch側の第2のサイドウォール28を、フッ酸溶液、もしくは、RIE法によるドライエッチングで除去した後、浅い接合の形成のため、第1のサイドウォールの主部をマスクにして、 $^{49}\text{BF}_2^+$ を、40~70keV、

$3 \sim 8 \times 10^{15} \text{ ions/cm}^2$  の条件で注入する。

【0033】その後、ホトレジスト27を除去し、 $850 \sim 950^\circ\text{C}$ 、 $10 \sim 40$ 分程度の熱処理を窒素雰囲気中でアニールし、注入した不純物の活性化及び拡散を行なう。

【0034】以上の条件により、前記NchMOSFETと同様、 $\text{N}^-$ 層は、接合深さ $0.05 \sim 0.15 \mu\text{m}$ 、ヒ素による $\text{N}^+$ 層は、 $0.1 \sim 0.2 \mu\text{m}$ 、リンによる $\text{N}^+$ 層は、 $0.20 \sim 0.45 \mu\text{m}$ の接合深さを持った接合となる。同様に、 $^{49}\text{BF}_2^+$ による $\text{P}^+$ 層は、接合深さ $0.20 \sim 0.40 \mu\text{m}$ 、 $^{11}\text{B}^+$ 又は、 $^{49}\text{BF}_2^+$ による $\text{P}^+$ 層は、 $0.35 \sim 0.50 \mu\text{m}$ の接合深さを持った接合となる。

【0035】その後、図5(i)のように、全面に、高融点金属を堆積させ、 $600 \sim 1000^\circ\text{C}$ の熱処理を施すことにより、高融点金属と、Poly-Si及びSiとの間に、シリサイド化反応が生じ、自己整合的に、ゲート電極4及び、ソース・ドレイン部の深い層上に高融点金属のシリサイド28が形成される。その後、未反応高融点金属29を除去することにより図5(j)に示す様に、サリサイド構造が完成する。

【0036】図6ないし図7に第4の実施例を示し以下に説明するが、第3の実施例と殆ど同じ工程もあり、その部分の説明は簡略化する。

【0037】図6(a)のように、フィールド酸化膜2、ゲート電極としてゲート酸化膜3、ポリシリコン21、高融点金属( $\text{WSi}_x$ )22を形成後、CVD法により、酸化膜23を $1000 \sim 3000 \text{ \AA}$ 形成し、ゲート電極のパターニングを行なう。その後、通常のホトリソ工程により、PchMOSFET領域をホトレジスト24で被い、Lightly Dope層( $\text{N}^-$ 層)として、リン又は、ヒ素を、イオン注入することで、NchMOSFET領域にのみ、 $\text{N}^-$ 層25を形成する。その後、図6(b)のように、レジスト24を除去し、全面にCVD法により酸化膜26を $250 \sim 1000 \text{ \AA}$ 堆積し、続けて、CVD法により、窒化Si膜27を $50 \sim 500 \text{ \AA}$ 堆積させる。この酸化膜26と、窒化Si膜27が幅 $300 \sim 1500 \text{ \AA}$ の第1のサイドウォールとして機能することになる。続けて、CVD法により、酸化膜またはボロン、リン等を含んだ酸化膜28を $3000 \sim 6000 \text{ \AA}$ 堆積させる。

【0038】その後図6(c)のように、RIE法により、異方性エッチングを行なうことにより、第1のサイドウォールの側壁に、第2のサイドウォール29を残す。そして、図6(d)のように、第2のサイドウォール29のエッチング後そのサイドウォール部以外の窒化Si膜27及び酸化膜26も、エッチング除去する。

【0039】その後図6(e)のように、ホトリソ工程により、PchMOSFET形成領域をホトレジスト30で被い、全面に、深い接合を形成させる為のイオン注

入を、リンを用いて、 $50 \sim 150 \text{ keV}$ 、 $1 \times 10^{14} \sim 1 \times 10^{15} \text{ ions/cm}^2$ の条件で注入する。次いで図7(f)のように、PchMOSFET領域のホトレジスト30は、除去せずに、第2のサイドウォール29を、フッ酸溶液、もしくは、RIE法によるドライエッチングで、除去した後、ヒ素を、 $40 \sim 100 \text{ keV}$ で、 $3 \sim 8 \times 10^{15} \text{ ions/cm}^2$ 注入する。その後、ホトレジスト30を除去し、同様のことを、PchMOSFETに関して行なう。

【0040】すなわち、図7(g)のように、NchMOSFET形成領域を、ホトレジスト31で被い、深い接合を形成させる為のイオン注入を、 $^{11}\text{B}^+$ 、 $30 \sim 70 \text{ keV}$ 、 $1 \times 10^{14} \sim 1 \times 10^{15} \text{ ions/cm}^2$ 又は、 $^{49}\text{BF}_2^+$   $50 \sim 150 \text{ keV}$ 、 $1 \times 10^{14} \sim 1 \times 10^{15} \text{ ions/cm}^2$ の条件で行なう。

【0041】その後図7(h)のように、NchMOSFET領域のホトレジスト31は除去せずに、Pch側の第2のサイドウォール32を、フッ酸溶液、もしくは、RIE法によるドライエッチングで除去した後、 $^{49}\text{BF}_2^+$ を $40 \sim 70 \text{ keV}$ 、 $3 \sim 8 \times 10^{15} \text{ ions/cm}^2$ の条件で注入する。

【0042】その後図7(i)のように、ホトレジスト31を除去し、 $850 \sim 950^\circ\text{C}$ 、 $10 \sim 40$ 分程度の熱処理を窒素雰囲気中でアニールし、注入した不純物の活性化及び拡散を行なう。以上の条件により、 $\text{N}^-$ 層は、接合深さ $0.1 \sim 0.2 \mu\text{m}$ 、ヒ素による $\text{N}^+$ 層は、 $0.15 \sim 0.25 \mu\text{m}$ 、リンによる $\text{N}^+$ 層は $0.35 \sim 0.50 \mu\text{m}$ の接合深さを持った接合となる。同様に、 $^{49}\text{BF}_2^+$ による $\text{P}^+$ 層は、接合深さ $0.25 \sim 0.40 \mu\text{m}$ 、 $^{11}\text{B}^+$ 又は $^{49}\text{BF}_2^+$ による $\text{P}^+$ 層は、 $0.35 \sim 0.50 \mu\text{m}$ の接合深さを持った接合となる。

【0043】その後図7(i)のように、熱リン酸溶液を用いて、窒化Si膜27を除去した後、全面に、高融点金属32を堆積させ、 $600 \sim 1000^\circ\text{C}$ の熱処理を施すことにより、高融点金属とSiとの間に、シリサイド化反応が生じ、自己整合的に、ソース・ドレイン部に高融点金属のシリサイド33が形成される。この場合第2の実施例同様、ゲート電極上には酸化膜23があるのでシリサイド化されない。その後、未反応高融点金属を除去することにより、図7(j)に示す様に、サリサイド構造が完成する。

【0044】この第4の実施例で、ゲート電極の上層に少なくとも酸化膜23を形成せずにおけば、第3の実施例同様、そのゲート電極の上にもシリサイド形成ができる。

【0045】図8は、本発明の第5の実施例を示す製造方法である。以下工程順に説明する。

【0046】図8(a)通常の方法に従って半導体基板1上に、フィールド酸化膜2を $4000 \text{ \AA}$ の厚さ形成



し、ゲート酸化膜3を100Å形成し、スレッショルド電圧調整用に不純物をイオン注入し、さらに、ゲート電極4を通常のホトリソ・エッチングを使用して形成する。さらに、全面に狭いサイド・ウォール(後述のように幅0.3μm以下が望ましい)となる酸化膜6をLPCVD(ステップカバレッジがよく、膜成生制御性もよいのでO<sub>3</sub>-TEOS(テトラエトキシラン)を使用)により700Å程度堆積する。Nch型MOS・FETの場合、ホットキャリア効果抑制用のLDD層形成のための不純物N<sup>-</sup>(リンまたはヒ素を大斜角(45°程度)斜めイオン注入により $2 \times 10^{13}/\text{cm}^2$ のドーズ量で注入する。さらにソース・ドレイン形成用不純物N<sup>+</sup>(ヒ素)を引き続き、エネルギー60keV、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{15}/\text{cm}^2$ と通常使用されるドーズ量( $3 \sim 5 \times 10^{15}/\text{cm}^2$ )より低いドーズ量で注入する。Pch型MOSFETの場合は、ホットキャリア効果を気にする必要がないため、ソース・ドレイン形成用の不純物(ボロン)のみを注入する。この場合もやはり通常使用されるドーズ量( $3 \sim 5 \times 10^{15}/\text{cm}^2$ )より低いドーズ量で、例えば、BF<sub>2</sub><sup>+</sup>、60keV、 $1 \times 10^{14} \sim 1 \times 10^{15}/\text{cm}^2$ の条件で注入する。図10(a)にPchMOSFETを例にとり、ソース・ドレインのドーズ量を下げていった場合の接合深さの実験結果を示す。ドーズ量を従来の $4 \times 10^{15}/\text{cm}^2$ より、 $1 \times 10^{14}/\text{cm}^2$ とすることにより接合深さは、0.23μmより0.1μmと従来の1/2以下となる。また、この場合、注入ドーズ量として $7 \times 10^{13}/\text{cm}^2$ 以上とすれば、表面濃度は、 $1 \times 10^{19}/\text{cm}^3$ 以上となり、MOSFETの駆動力を大幅に低下させることはない。実際、この結果によると、 $1 \times 10^{20}/\text{cm}^3$ の表面濃度を持つソースドレインと $1 \times 10^{19}/\text{cm}^3$ の表面濃度を持つソースドレインのMOSFETの駆動力の差は、サイドウォール幅0.3μmの時10%以下であった。

【0047】図8(b)次いで、全面にCVDにより酸化膜(窒化膜でも良い)8を2000~3000Å程度堆積する。

【0048】図8(c)そして、異方性エッチングにより、広いサイドウォール8aを形成する。この場合、形成されるサイドウォール幅は、2500Å~3500Åとなる。

【0049】図8(d)次いで、全面に高融点金属(チタン、コバルト等)9を400Å程度スパッタリングにより堆積する。シリサイド化アニールにより、ゲート電極4上面、ソース・ドレイン領域上面のシリコンと高融点金属9を反応させシリサイドを形成する。

【0050】図8(e)次いで、選択エッチングにより、フィールド酸化膜2上及び、サイドウォール8a上の未反応高融点金属を選択的にエッチング除去する。その後、シリサイド低抵抗化アニール9aを行なう。

【0051】図8(f)さらに引き続き、Nchの場合、ヒ素もしくは、リンを、Pchの場合、ボロンをBF<sub>2</sub><sup>+</sup>イオンのイオン注入(N<sup>+</sup>またはP<sup>+</sup>)により、例えば、加速エネルギー50keV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ 程度の条件で注入する。このイオン注入は、シリサイド中、もしくは、シリサイド・シリコン界面近傍に注入し、その後、不純物アニールを850℃程度で行う。

【0052】図9は、上記方法をCMOS型累積回路製造に適用した場合である。従ってNch領域(図では左半分)とPch領域(図では右半分)を有する(従来例および第3、第4の実施例同様)。

【0053】図9(a)P型シリコン基板1に、N型ウェル領域(同図右半分)を形成し、フィールド酸化膜2、ゲート酸化膜3、ゲート電極4を形成する。ここで、次の(b)項の工程での酸化膜6を堆積してもよい。次いで、Nch型領域をレジスト26bでおおい、まず、Pch型MOSFETのソース・ドレインとなる不純物(ボロン)P<sup>+</sup>を、例えば、BF<sub>2</sub><sup>+</sup>、30keV、 $1 \times 10^{14}/\text{cm}^2$ の条件で注入する。その後、前記レジスト26bを除去する。

【0054】図9(b)次いで、全面にO<sub>3</sub>-TEOSを使用したLPCVDにより酸化膜6を700Å程度(少なくとも1000Å以下)堆積する。Pch型領域をレジスト26aでおおい、LDD層を形成するため、リンを例えば、45°、70keV、 $2 \times 10^{13}/\text{cm}^2$ の大斜角斜め注入のイオン・インプランテーションにより注入(N<sup>-</sup>)する。さらに引き続き、ソース・ドレインとなる不純物(ヒ素)を、例えば、As<sup>+</sup>、110keV、 $1 \times 10^{15}/\text{cm}^2$ の条件で注入(N<sup>+</sup>)する。

【0055】図9(c)次いで、全面に2000Å~3000Å程度の酸化膜を堆積後、異方性エッチングにより、サイドウォール8aを形成する。その後、全面に高融点金属28を400Å程度堆積し、アニールによりシリコンと高融点金属を反応させ、シリサイドを形成する。

【0056】図9(d)次いで、選択エッチングにより、未反応高融点金属を選択的に除去した後、Nch側、Pch側を片側ずつレジストでおおい、Nch側、Pch側に、それぞれN型不純物P型不純物を前記(a)(b)の工程でできるよりも深い接合となる様なインプラ条件で注入する。

【0057】図10(b)は、上記の様にPch型不純物を上記工程(a)で注入(BF<sub>2</sub><sup>+</sup>30keV、 $1 \times 10^{14}/\text{cm}^2$ の条件)した場合の実験結果であり、ソース・ドレインのキャリア濃度として $1 \times 10^{19}/\text{cm}^3$ がゲート電極の端と重なっており、特に問題はない。接合深さXjは0.09μmと浅い。

【0058】図10(c)は、上記工程(b)でPch型不純物を注入(BF<sub>2</sub><sup>+</sup>、60keV、 $2 \times 10^{14}/$

10

20

30

40

50

$\text{cm}^2$  の条件) した場合である。この場合ソース・ドレインのキャリア濃度  $1 \times 10^{19} / \text{cm}^3$  の所は、ゲート電極の端の外側にあり、接合深さ  $X_j$  は、図10(b)と同様  $0.09 \mu\text{m}$  程度となっているか、オフセットがみであり、駆動力が低下し、さらに、電流を流しつづけることによる特性変動が出てしまう。

#### 【0059】

【発明の効果】以上の様に、本発明によれば、第1～第4の実施例では、ゲート電極の第1のサイドウォールをマスクにして形成された浅い  $\text{N}^+$  層により、微細MOSFETで問題となる短チャネル効果を効果的に抑制でき、さらにソース・ドレイン部においては第2のサイドウォールをマスクにして形成された深い  $\text{N}^+$  層上のみシリサイド化されるため、シリサイド底面と、接合との距離が十分にとれ、接合リーク電流の発生しない良好な接合を形成することが可能となる。第2のサイドウォールは、ゲート電極のエッジより十分離れている ( $0.3 \sim 0.5 \mu\text{m}$ ) ため、その部分の接合深さが深くとも、MOSFETの短チャネル効果には影響しない。

【0060】また、単純に、サイドウォール長を長くして、 $\text{N}^-$  層を伸ばし、浅い  $\text{N}^+$  層を形成しない場合と比較した場合、これでは、 $\text{N}^-$  層による寄生抵抗が増大することになり、MOSFETの駆動力低下を招くが、浅い  $\text{N}^+$  層形成により、この  $\text{N}^-$  層寄生抵抗増大の問題を回避できる。さらに、深い  $\text{N}^+$  層のドーズ量を下げることにより、接合容量を小さくできる。

【0061】また、本発明の様に、窒化Si膜を第2のサイドウォールのエッチングに対するstopperとして用いることにより、 $\text{Nch}$  ソース・ドレイン及びPchソース・ドレイン領域形成の際のホトリソ工程を増やさずに、深さの異なる接合を形成することができる。

【0062】第5の実施例においては、ソース・ドレイン形成用インプラ・ドーズが、接合深さを十分浅くし、しかも、駆動力を低下させない様な範囲に制御されているため、微細なMOSFETにおいても、十分短チャネル効果が抑制され、しかも高駆動力なMOSFETが実現可能となっている。さらに、比較的長いサイドウォールの外側でソース・ドレインがシリサイド化され、しかも、その領域のみ、接合が深くなっているため、トランジスタの短チャネル効果を増大させることなく、接合リーク電流の増大を抑制できる。しかも、ソース・ドレ

イン注入を比較的低ドーズとし、ソース・ドレインのシート抵抗増大をシリサイド化により抑え、十分な低抵抗化を実現できている。しかも、シリコンと高融点金属を反応させる工程(シリサイド化工程)では、そのシリコン中の不純物濃度が、従来ほど高くないため、シリサイド化工程も再現性よく安定して行なえる。

【0063】第6の実施例のCMOS製造にあたっては、Pch領域のソース・ドレイン(従来より低ドーズ)不純物注入を、接合を浅くしながらオフセットになることを防止し、特性変動のないMOSFETを実現できる。さらにNch側をLDDとするのに、エッチングをしない比較的薄い酸化膜を通して、LDDインプラ、ソース・ドレインインプラを同時に行うため、マスク・ステップを簡略化でき、しかも、サイドウォールエッチングを次に続く、比較的厚い酸化膜形成後に一回のみとでき、工程を簡略化できる。また、Nchの薄い酸化膜を通して、従来よりドーズ量の低いソース・ドレイン不純物注入を行うため、NchのMOSFETの駆動力も大きくできる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例の構造。

【図2】本発明の第1の実施例の製造方法。

【図3】本発明の第2の実施例の製造方法。

【図4】本発明の第3の実施例の製造方法(その1)。

【図5】本発明の第3の実施例の製造方法(その2)。

【図6】本発明の第4の実施例の製造方法(その1)。

【図7】本発明の第4の実施例の製造方法(その2)。

【図8】本発明の第5の実施例の製造方法。

【図9】本発明の第6の実施例の製造方法。

【図10】本発明の第5、第6の実施例の実験結果。

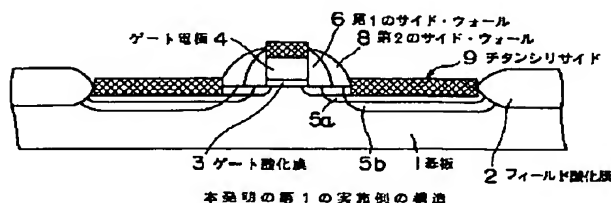
【図11】従来例。

【図12】問題点説明図。

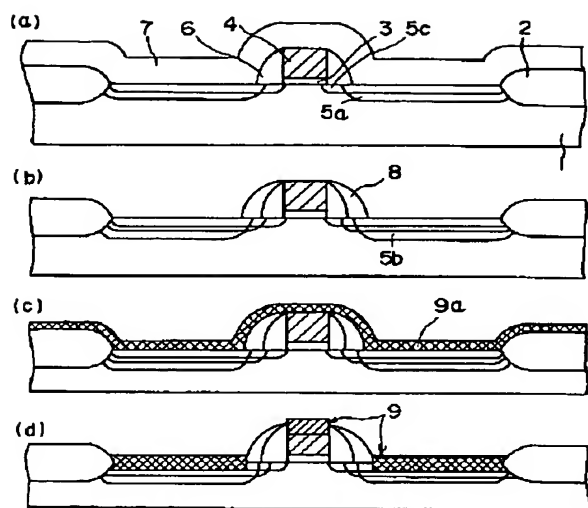
#### 【符号の説明】

- 1 基板
- 2 フィールド酸化膜
- 3 ゲート酸化膜
- 4 ゲート電極
- 5 ソース・ドレイン層 (5a 浅い層、5b 深い層)
- 6 第1のサイドウォール
- 8 第2のサイドウォール
- 9 チタンシリサイド

【図1】

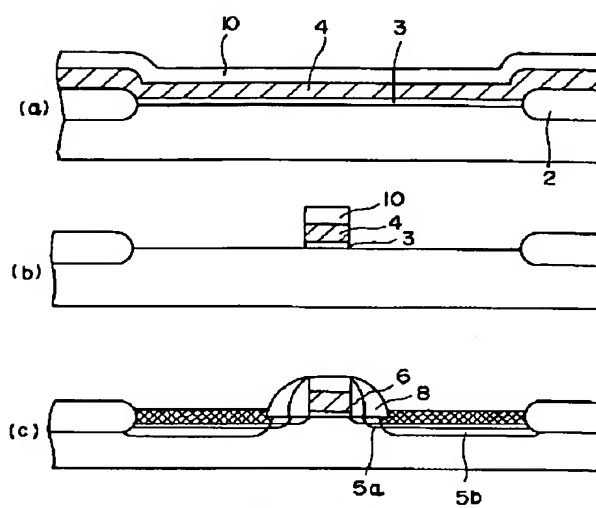


【図2】



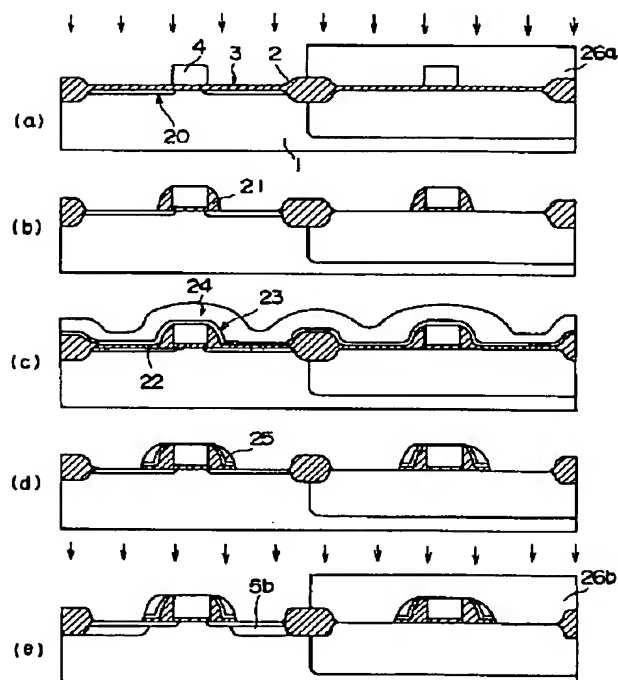
本発明の第1の実施例の製造方法

【図3】



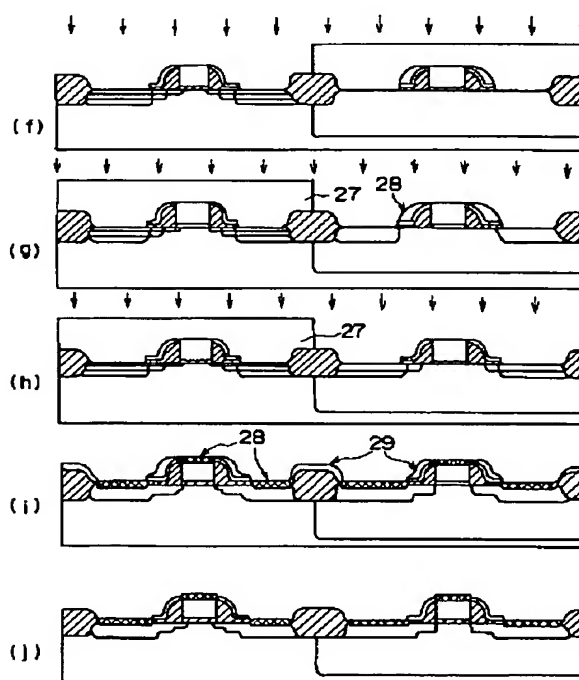
本発明の第2の実施例の製造方法

【図4】



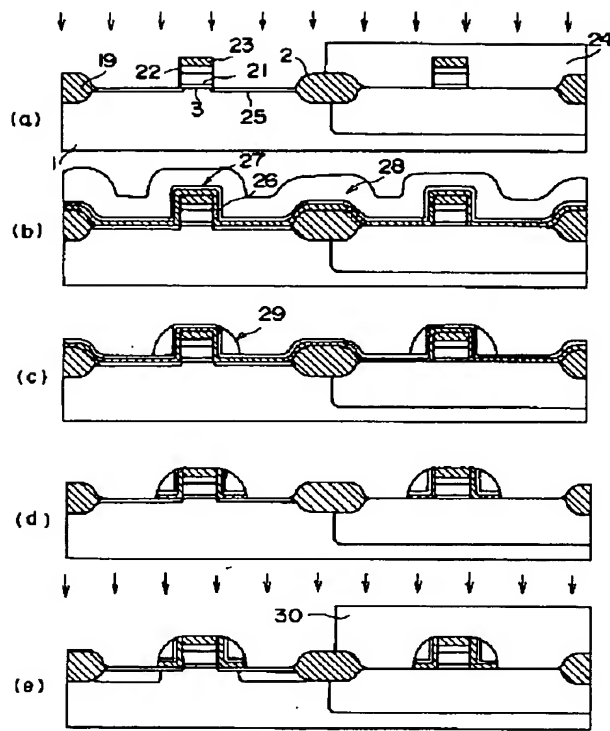
本発明の第3の実施例の製造方法（その1）

【図5】



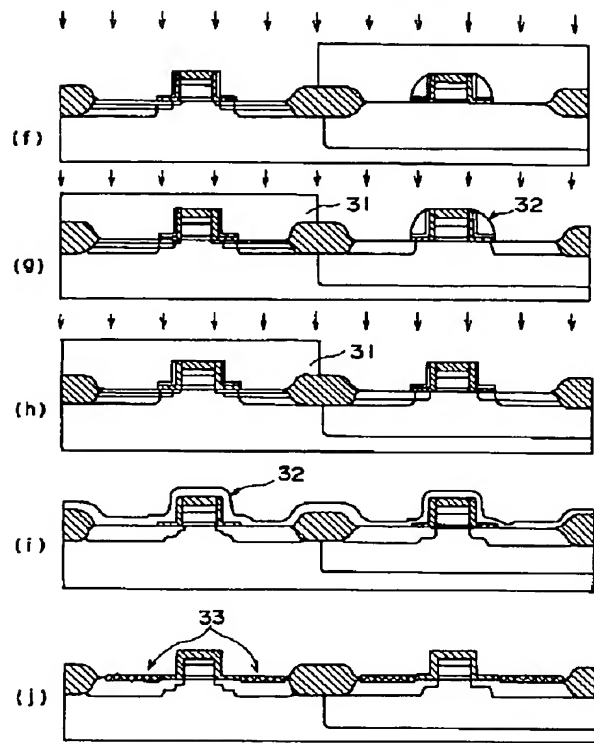
本発明の第3の実施例の製造方法（その2）

【図6】



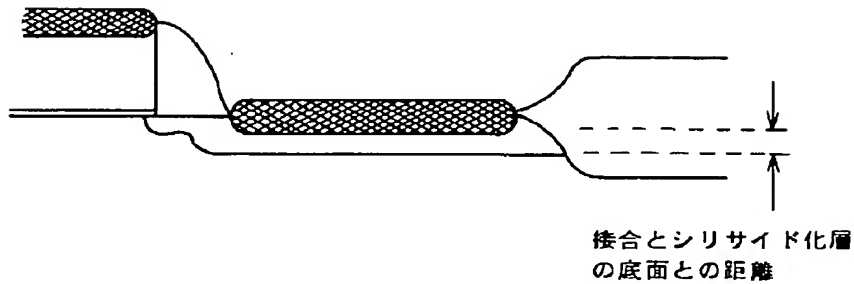
本発明の第4の実施例の製造方法（その1）

【図7】



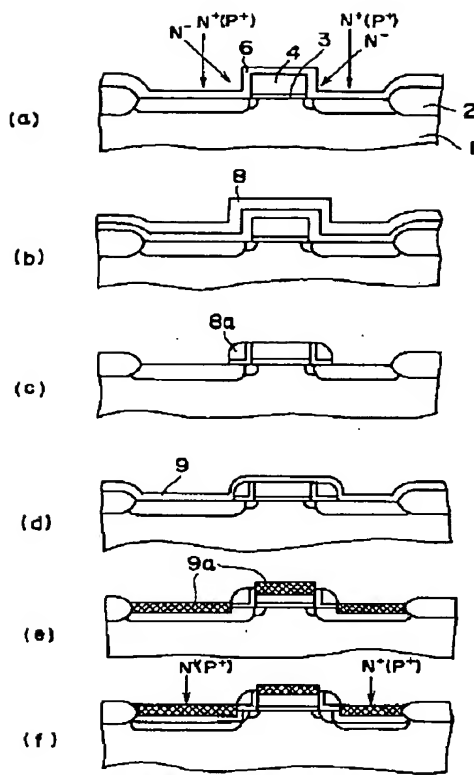
本発明の第4の実施例の製造方法（その2）

【図12】



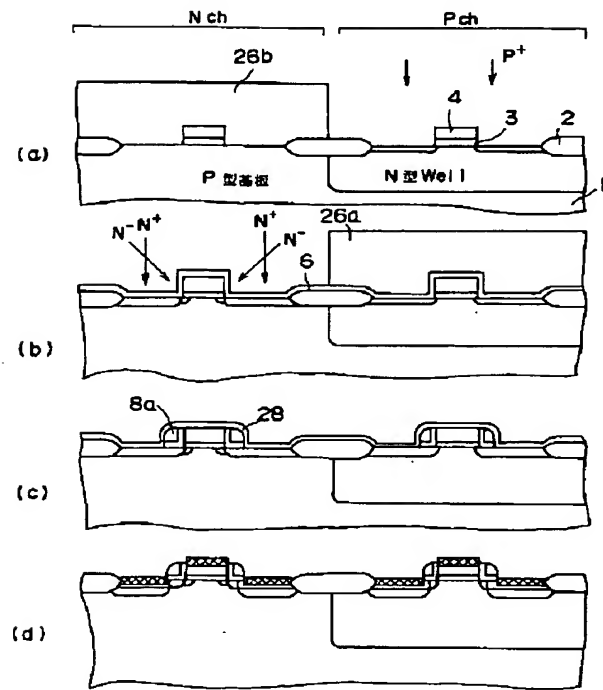
問題点説明図

【図8】



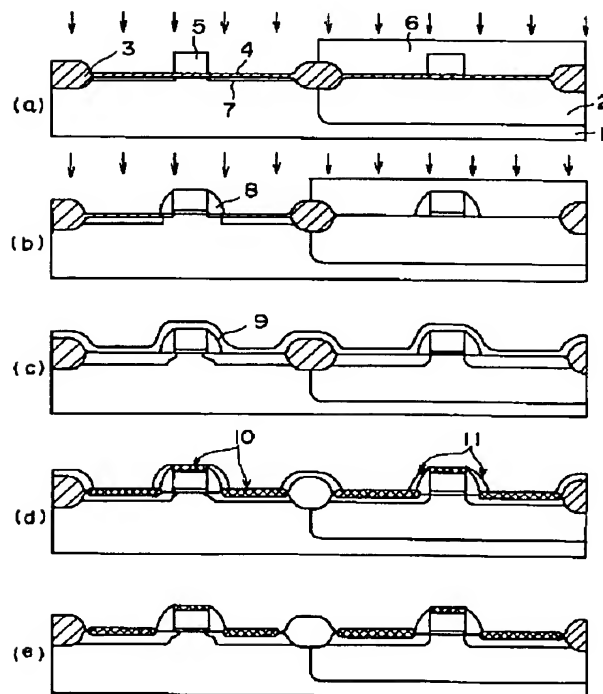
本発明の第5の実施例の製造方法

【図9】



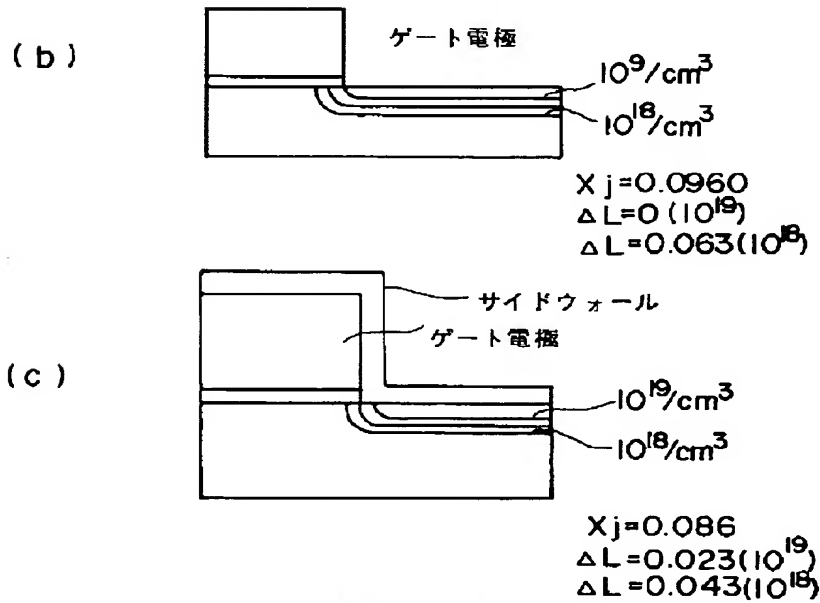
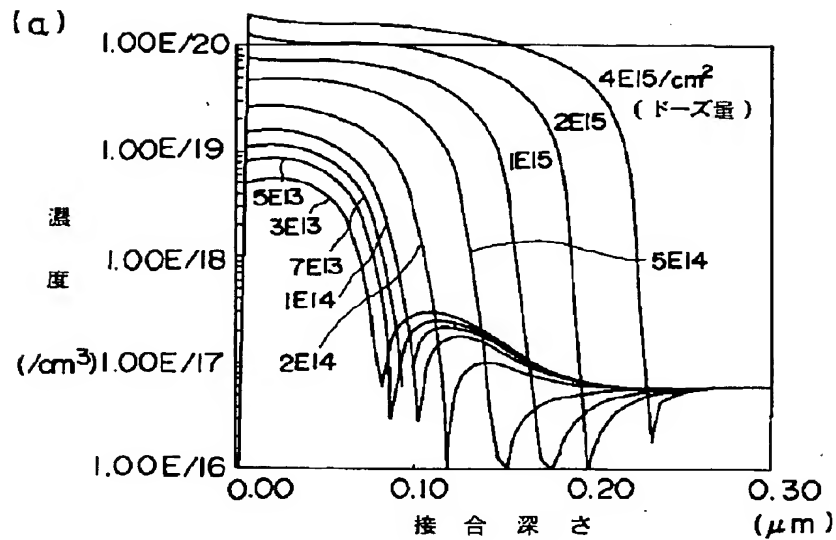
本発明の第6の実施例の製造方法

【図11】



従来例

【図10】



本発明の第5, 第6の実施例の実験結果

フロントページの続き

(51) Int. Cl. 5

識別記号

庁内整理番号  
7377-4M

F I

H 0 1 L 29/78

技術表示箇所

3 0 1 L